

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.⁷

H01L 21/82

[12] 发明专利申请公开说明书

[21] 申请号 01101354.0

[43] 公开日 2001 年 7 月 11 日

[11] 公开号 CN 1303128A

[22] 申请日 2001.1.3 [21] 申请号 01101354.0

[30] 优先权

[32] 2000.1.3 [33] DE [31] 10000005.3

[71] 申请人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

[72] 发明人 W·哈特纳 G·欣德勒 M·卡德特纳
C·德姆

[74] 专利代理机构 中国专利代理(香港)有限公司

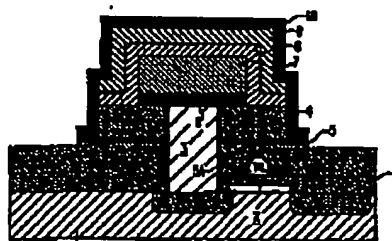
代理人 马铁良 孙黎明

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54] 发明名称 铁电半导体存储器的制法

[57] 摘要

开关晶体管(2)在半导体衬底(1)上形成,绝缘层(4)沉积在开关晶体管(2)上,随后在绝缘层(4)上形成具有铂电极(7, 9)和铁电或介电介质(8)的存储电容器。为了在进一步的工艺步骤中防止氢进入介质(8),第一壁垒层(5)置入到绝缘层(4)内,并在制成存储电容器之后,沉积本身与第一壁垒层(5)连接的第二壁垒层 10。



ISSN 1008-4274

知识产权出版社出版

BEST AVAILABLE COPY

权 利 要 求 书

1. 半导体部件的制法, 其中,
 - a). 在半导体衬底 1 上形成开关晶体管 (2),
 - b). 在开关晶体管 (2) 上沉积绝缘层 (4), 其中插入尤其是防止氢扩散的第一壁垒层 (5),
 - c). 与开关晶体管 (2) 耦合的存储电容器沉积到绝缘层 (4) 上, 该电容器包含下电极 (7)、上电极 (9), 其间淀积含氧化物金属的层 (8),
 - d). 在垂直腐蚀步骤中, 在存储电容器外直到一定深度为止去除绝缘层 (4), 其中, 第一壁垒层向外露出,
 - e). 尤其是防止氢渗透的第二壁垒层 (10) 沉积到存储电容器和绝缘层 (4) 以及第一壁垒层 (5) 上.
2. 根据权利要求 1 所述的方法, 其特征为:
 - 通过以下方式开关晶体管 (2) 与存储电容器连接, 即: 在绝缘层 (4) 沉积后在其内腐蚀一接触孔 (3), 直到开关晶体管 (2) 的源区或漏区并充填导电材料, 以及
 - 下电极 (7) 在接触孔 (3) 上方沉积.
3. 根据权利要求 2 所述的方法, 其特征为:
 - 在填充接触孔 (3) 之前, 在其内壁上用尤其是防止氢渗透的第三壁垒层 (5A) 加衬.
4. 根据权利要求 1 所述的方法, 其特征为:
 - 在工艺步骤 d), 去除绝缘层 (4) 直到第 1 壁垒层 (5) 的深度, 其中在必要时第一壁垒层 (5) 用作腐蚀阻挡层.
5. 根据权利要求 1 所述的方法, 其特征为:
 - 在工艺步骤 d), 去除绝缘层 (4) 直到在第一壁垒层 (5) 以下的深度.
6. 根据上述权利要求之一的方法, 其特征为:
 - 第一壁垒层 (5) 由 Si , N_3 构成, 它在必要时通过低压化学气相淀积法 (LPCVD) 淀积.
7. 根据权利要求 1 到 5 之一所述的方法, 其特征为:
 - 第一壁垒层 (5) 由 ZrO_2 或按此顺序淀积的层材料 SiO_2 — ZrO_2 ,

或由材料 Al_2O_3 , TiO_2 , Ta_2O_5 之一构成。

8. 根据上述权利要求之一所述的方法, 其特征为:

—第二壁垒层 (10) 通过按此顺序淀积的层材料 SiO_x — SiON — Si_3N_4 的分层组合形成。

5 9. 根据权利要求 1 到 7 之一所述的方法, 其特征为:

—第二壁垒层 (10) 通过按此顺序淀积的层材料 SiO_x — Si_3N_4 的分层组合形成。

10. 根据权利要求 8 所述的方法, 其特征为:

—在淀积 Si_3N_4 层之前, 淀积由一种氧化物或一种氮化物, 尤其由材料 Ta_2O_5 , Bi_2O_3 , TiO_2 , Al_2O_3 , Nb_2O_5 , MgO , V_2O_5 , CeO_2 , Y_2O_3 , ZrO_2 , BN , AlN 之一以及一种稀土氧化物构成的附加的壁垒层。

11. 根据权利要求 8 或 10 所述的方法, 其特征为:

— SiO_x 层和/或 SiON 层通过 CVD 法形成。

12. 根据权利要求 8 到 11 之一所述的方法, 其特征为:

15 — Si_3N_4 层通过 LPCVD 法形成。

13. 根据权利要求 3 所述的方法, 其特征为:

—第三壁垒层 (5A) 由 Si_3N_4 层组成, 它尤其通过 LPCVD 法淀积。

14. 根据上述权利要求之一所述的方法, 其特征为:

20 —在工艺步骤 c), 上和/或下电极由铂或另一铂类金属或其氧化物制成。

说明书

铁电半导体存储器的制法

本发明涉及半导体部件的制法。本发明尤其是涉及具有一只开关晶体管和一只存储电容器的非易失型存储器单元的制法，该存储电容器极片包含铂类金属，并且再极片间用铁电或伸电材料作为介质。

传统的微电子半导体存储器部件 (DRAM) 主要由一只选择晶体管或开关晶体管和一只存储电容器构成，其中在两电容器极片之间插入介电材料。通常多半用具有介电常数最大约为 8 的氧化物层或氮化物层作介质。为了缩小存储电容器以及为了制造非易失型存储器，需要具有显著高的介电常数的“新型的”电容器材料 (铁电体或伸电体)。在 W. Hönlcin 著的出版物 “Neue Dielektrika für Gbit-Speicherchips (吉比特存储器芯片用新介质)”，Phys. Bl. 55 (1999) 中列举了一些这种材料。为了制造这类高集成度非易失型半导体存储器部件用的铁电电容器，可以应用例如铁电材料如 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ (SBT 或 SBTN)， $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)，或 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BT0) 作为介质插入电容器极片之间。但是它也可以使用伸电材料，例如 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)。

然而，这种新型介质，铁电或伸电介质的应用是对半导体制造工艺提出新要求。首先这种新型材料不再可以与传统的电极材料多晶硅组合。因此必须使用惰性电极材料，如例如铂类金属或其导电氧化物 (例如 RuO_2)。其原因是：在铁电介质淀积后在温度从约 550-800℃ 在含氧气氛内进行退火必要时必须多次 (予处理)。因此，为了避免铁电介质与电极的不希望的化学反应，这多半由铂或对温度足够稳定和惰性的另一种材料，如另一种铂类金属 (Pd, Ir, Rh, Ru, Os) 制造。

为了集成存储电容器在含氢的环境内进行的工艺步骤是必须的。所以例如为了金属化和晶体管的正常处理必须在由 95% 的氮 (N_2) 和 5% 的氢 (H_2) 组成的成形气体中退火。可是氢向加工的存储电容器，即向介质内的渗透可以通过还原反应导致介质的氧化物陶瓷的变质。此外金属间氧化物或氮化硅钝化层等离子体增强的化学气相淀

积 (PECVD), 基于层内高的氢含量引起介质的铁电或伸电材料的还原。

5 至今的技术现况尝试通过在存储电容器上淀积钝化层解决该问题。在 U.S. - PS 5, 523, 595 内描述了例如半导体部件的制法, 其中开关晶体管在半导体衬底内形成, 第一绝缘层在开关晶体管上淀积, 在第一绝缘层上形成与开关晶体管耦合的铁电存储电容器, 在存储电容器上沉积第二绝缘层, 并且由 TlON 组成的对氢渗透的壁垒层淀积其上。由此阻止了迄今为止的氢通过存储电容器的上电极的渗透。然而氢通过第一绝缘层和下电极向介质的扩散还是可能的, 因此, 10 可能导致存储器变坏。另一方面不能舍弃在形成气体内的氢份额, 因为通过氢在半导体内, 尤其在电极界面上和栅极-氧化物界面自由键 (悬挂键) 应饱和。因此这时不应杜绝氢通过存储电容器下电极的扩散和随后的铁电介质的变坏。

15 据此, 本发明的任务是提供半导体存储器的一种制法, 其中应用可以充分防止氢进入铁电或伸电材料作介质的存储电容器。

本发明通过如下的半导体部件的制法完成任务, 其中,

- a) 一只开关晶体管在半导体衬底上形成,
- b) 一层绝缘层淀积在开关晶体管上, 其中, 在绝缘层内置入尤其是防止氢渗透的第一壁垒层,
- 20 c) 与开关晶体管耦合、包含上、下电极、其间淀积含金属氧化物层的存储电容器沉积到绝缘层上,
- d) 在垂直的腐蚀步骤中, 在存储电容器外一直到这样一种深度去除绝缘层, 使其中第一壁垒层向外露出,
- e) 尤其是防止氢渗透的第二壁垒层沉积到存储电容器、绝缘层和第一壁垒层上。
- 25

这时含金属氧化物的层优先是铁电或伸电材料。

首先开关晶体管与存储电容器按以下方式连接, 即在绝缘层沉积后, 其中腐蚀一接触孔直到开关晶体管的引线区, 例如 MOS 晶体管的漏区, 并填充导电材料, 接着存储电容器的下电极至少局部地沉积到接触孔上。这时可以附加地规定: 在填充接触孔之前, 在孔的内壁上用尤其是防止氢渗透的第三壁垒层加衬。由此可以额外地阻止氢向填充导电材料的接触孔 (插塞) 扩散, 以及阻止氢通过接

30

触孔的导电材料和下电极向含金属氧化物层的渗透。因此，制成的存储电容器完全被壁垒层包封。

在工艺步骤 d) 可以有选择地去除第一绝缘层直到第一壁垒层的深度，其中必要时第一壁垒层可以用作腐蚀阻挡层。此外，在工艺步骤 d)，另可选择地也可以去除第一绝缘层直到第一壁垒层下的深度。

第一壁垒层优先主要由 Si_3N_4 制成，其中低压化学气相沉积 (LPVCD) 可提供特别好的结果。 ZrO_2 或 $\text{SiO}_2/\text{ZrO}_2$ 也可以选择为第一壁垒层的材料。根据技术现况已知的材料 Al_2O_3 ， TiO_2 ， Ta_2O_5 ，也可以用作第一壁垒层的材料。

对于用来对在第一绝缘层内腐蚀的接触孔的内壁加衬的第三壁垒层，原则上可以与第一壁垒层为同一材料。如果选择 Si_3N_4 作第三壁垒层的材料，则在这里也可以优先通过 LPCVD 进行淀积。

在存储电容器上淀积的第二壁垒层可以由 SiO_2 - SiON - Si_3N_4 分层组合建立，其中首先优选 CVD (化学气相沉积) 生长 SiO_2 层，接着优选还是用 CVD 淀积 SiON 层，最后优选 LPCVD 淀积 Si_3N_4 层。为了这时使介质的铁电材料或电介质材料防止在 LPCVD 淀积 Si_3N_4 层时出现的相对大量氢，在分层组合下面或分层组合的单层之间可以附加地淀积氧化物或氮化物的壁垒层 (X 层)。因此分层组合的叠层例如是 $\text{X}-\text{SiO}_2-\text{SiON}-\text{Si}_3\text{N}_4$ 或 $\text{SiO}_2-\text{X}-\text{SiON}-\text{Si}_3\text{N}_4$ 。例如 Ta_2O_5 ， Bi_2O_3 ， TiO_2 ， Al_2O_3 ， Nb_2O_5 ， MgO ， V_2O_5 ， CeO_2 ， Y_2O_3 ， ZrO_2 ， BN ， AlN 以及所有稀土氧化物可以用作 X 层的材料。为了使作为氧化硅层的 CVD 淀积的结果产生的铁电或电介质损伤复原，在 SiO_2 淀积后优先再采取退火步骤。

本发明的实施例依靠附图说明如下。在附图中分别示出了在本发明方法的不同阶段通过半导体部件的剖面图。即：

图 1 示出在执行工艺步骤 c) 后本发明制造的半导体部件；

图 2a 示出在执行工艺步骤 d) 后本发明制造的半导体部件 (第 1 实施例)，

图 2b 示出在执行工艺步骤 d) 后本发明制造的半导体部件 (第 2 实施例)，

图 3 示出在执行工艺步骤 e) 后本发明制造的半导体部件 (第 1

实施例)。

根据图 1 示出的实施例, 首先在(例如由硅制成的)半导体衬底 1 上通过以下方式制造 MOS 开关晶体管 2, 即通过掺杂形成漏区和源区, 其间存在一沟道, 它可以通过安排在沟道上的栅极来控制其导电率。栅极可以通过存储器部件的字线 WL 形成或与其连接。源区与存储器部件的位线 BL 连接。接着 MOS 开关晶体管 2 用平面化的绝缘层 4, 通常由氧化物, 如 SiO_2 (TEOS) 或 BPSG (硼磷—硅酸盐玻璃) 覆盖。

根据本发明, 第一壁垒层 5 置入绝缘层 4 内。因此首先沉积绝缘层 4 的第一分层, 随后在这第一分层上沉积壁垒层 5, 最后再壁垒层 5 上沉积绝缘层 4 的第二分层。对壁垒层 5 选择对氢尽可能不渗透的材料。对此特别合适的是氮化硅, 尤其是 Si_3N_4 , 它可以通过低压化学气相沉积 (LPCVD) 以特别好的质量和无气孔性淀积。然而也可以应用其它氮化物层或其它起氢壁垒作用的层。

接着在通过绝缘层 4 和壁垒层 5 形成的叠层中可以在 MOS 晶体管 2 的漏区上方垂直腐蚀一接触孔 3, 并填满导电材料如掺杂的多晶硅。接着氧化物壁垒 6 沉积到该填满的接触孔 3 上。

接着存储电容器在绝缘层 4 上形成, 其方式为由铂或另一铂类金属或其导电氧化物制成的下电极 7 首先沉积在接触孔 3 上, 并正如示出那样台面结构化。因此下电极 7 经填充导电多晶硅的接触孔 3 与 MOS 开关管 2 的漏区连接。随后形成电容器介质的铁电或电介材料的介质层 8 淀积在这下电极 7 上。这层 8 向所有侧面完全覆盖结构化的下电极 7, 并且向侧方阶梯型地超出下电极之外伸延。铂或另一铂类金属或其导电氧化物的上电极 9 也同样向所有侧面完全覆盖地淀积在介电层 8 上, 因此也在结构化的下电极 7 的两侧向侧方向阶梯型地伸延。

因此完成半导体部件, 如图 1 所示。

接着进行存储电容器垂直的台面结构化。这可以依靠图 2a 和 2b 按照所示的两种不同的实施结构进行。

在第一实施结构 (图 2a), 围绕存储电容器在绝缘层 4 内腐蚀一个垂直的台面结构, 其中垂直腐蚀过程准确进行到壁垒层 5。这时在必要时壁垒层 5 同时承担腐蚀阻挡层的功能。这种垂直的腐蚀步骤

导致壁垒层 5 的上表面在被腐蚀的台面结构外向外露出。随后第二壁垒层 10 沉积到所得到的结构上。

在第二实施结构 (图 2b), 台面结构也通过垂直的腐蚀步骤围绕存储电容器产生。然而, 在这种情况下在绝缘层 4 内的垂直腐蚀过程向壁垒层 5 外进行, 所以完整地除去在台面结构之外的壁垒层 5。腐蚀过程进行到壁垒层 5 下的一定深度, 随后中止。随后把第二壁垒层 10 沉积到所得到的结构上。因此在第二实施结构, 在壁垒层上腐蚀阻挡层是不必要的。然而这是用拓扑学高度的增加即所腐蚀的台面结构的高度增加换来的。

在第二实施结构中, 第二壁垒层 10 的沉积导致它在某一截面与第一壁垒层 5 连接。这个截面围绕台面结构按照一条封闭路径伸展, 并且在被腐蚀的台面结构的下部区域内一定程度上形成外轮廓。在第一实施例, 第二壁垒层 10 完全沉积在台面结构外的区域内仍然完全保存的第一壁垒层 5 上。与此相反在第二实施例, 以很窄的一截面对其实现接触, 在该很窄一截面, 第一壁垒层 5 在垂直腐蚀的侧面上向外露出。

第二壁垒层 10 由分层组合形成, 其中首先沉积由 SiO_2 构成的第一层, 其次沉积由 SiON 组成的第二层, 最后沉积由 Si_3N_4 组成的第三层。最初两层可以通过 CVD (化学气相沉积) 形成, 而 Si_3N_4 层通过 LPCVD (低压化学气相沉积) 形成。为了防止存储电容器的介质在用 LPCVD 淀积 Si_3N_4 层时出现的相当大量的氢 (H_2), 可以附加地淀积氧化物或氮化物壁垒层 (X 层)。该 X 层可以或者作为第一层, 即在沉积 SiO_2 前或者在分层组合内淀积。因此例如根据叠层可以选择 X— SiO_2 — SiON — SiN 或 SiO_2 —X— SiON — SiN 作为分层组合。X 层也可以在形成 SiON 层之后沉积。每一种热稳定的、非导电氧化物或氮化物, 例如 Ta_2O_5 , Bi_2O_3 , TiO_2 , Al_2O_3 , Nb_2O_5 , MgO , V_2O_5 , CeO_2 , Y_2O_3 , ZrO_2 , BN , AlN 以及所有稀土氧化物可以用作氧化物或氮化物 X 壁垒层的材料。在氧化硅层 CVD 淀积之后, 可实施退火步骤, 以便对作为淀积的结果的电容器介质可能损伤予以复原。

最后在图 3 还示出了本发明完成的半导体部件。正如人们所看到的, 这是根据第一实施例 (图 2a) 由本发明方法实现的, 其中, 在另一腐蚀步骤中去除在台面结构外存在的壁垒层 5 和 10。

然而在图 3 所示的半导体部件在另一特征中还与迄今为止描述的实施例不同。其中，接触孔 3 具有第三壁垒层 5A，通过该壁垒层可以防止氢通过绝缘层 4 渗透入接触孔 3 的导电材料内，并从那里可以向上向存储电容器内扩散。第三壁垒层 5A 直接在接触孔腐蚀后实现。第三壁垒层 5A 也与第一壁垒层一样，优先由 Si, N, 构成，此外也是通过 LPCVD 方法制造。第三壁垒层 5A 完全覆盖接触孔 3 的内壁。在接触孔 3 如此通过第三壁垒层 5A 形成内衬之后，接触孔 3 填充导电材料，如掺杂的多晶硅。

因此用本发明的方法达到用壁垒层 5, 5A 和 10 完全包封存储电容器，并因此防止在形成存储电容器之后的工艺步骤中始终存在的氢向部件内的渗透，以及在电容器介质的铁电和伸电材料上的产生损伤。在许多情况下，形成壁垒层 5 和 10 已经是足够的，因为接触孔 3 本身只形成对氢极狭窄的扩散路径。为了达到完全的包封，也可以如上所述，使第三壁垒层 5A 沉积到接触孔 3 的内壁上，并因此可以完善存储电容器的包封。

说明书附图

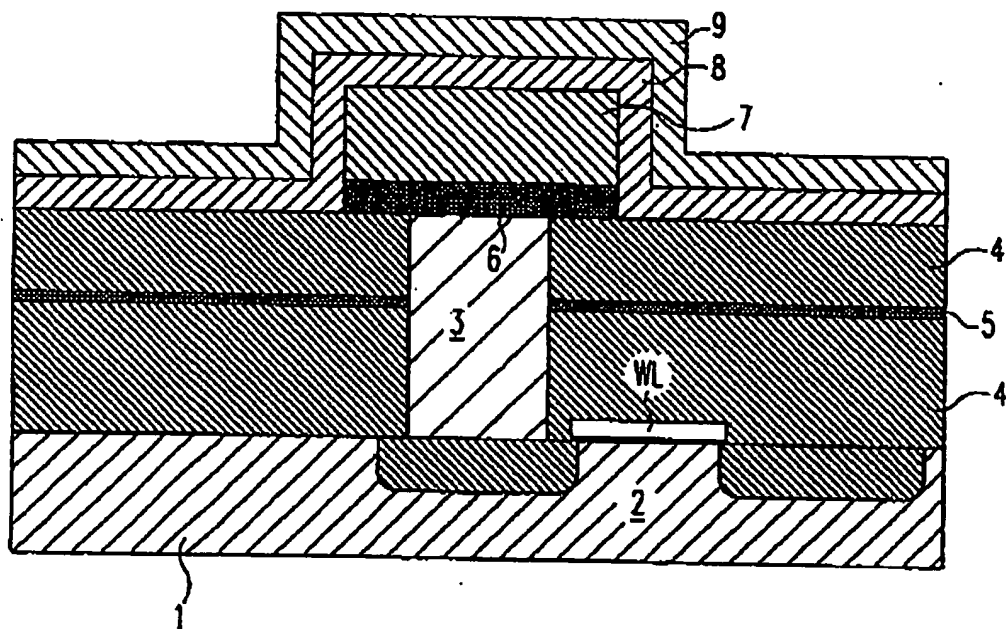


图 1

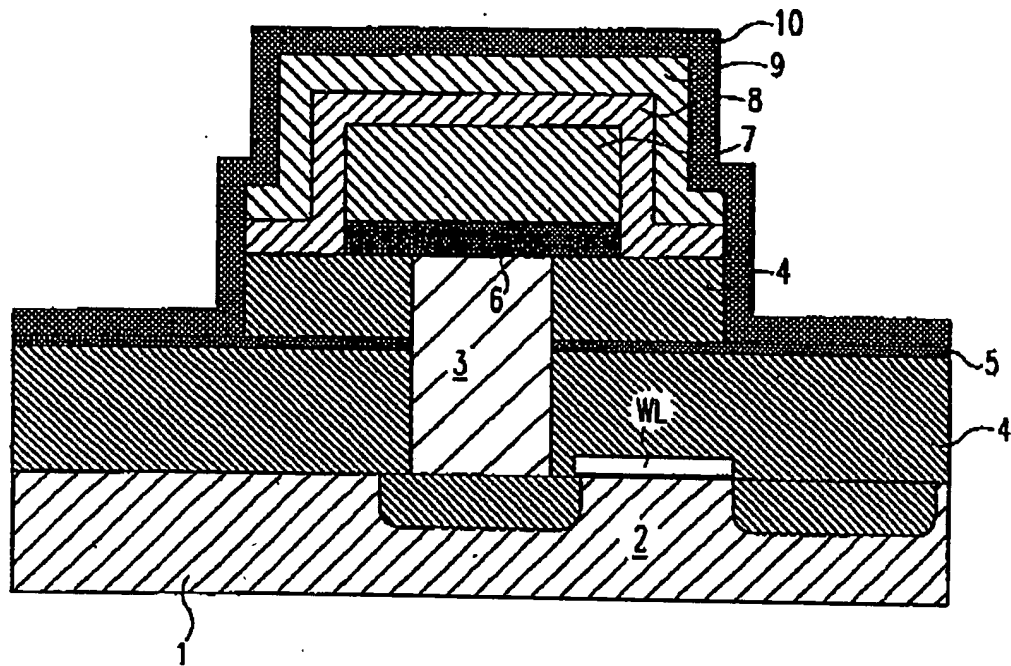


図 2a

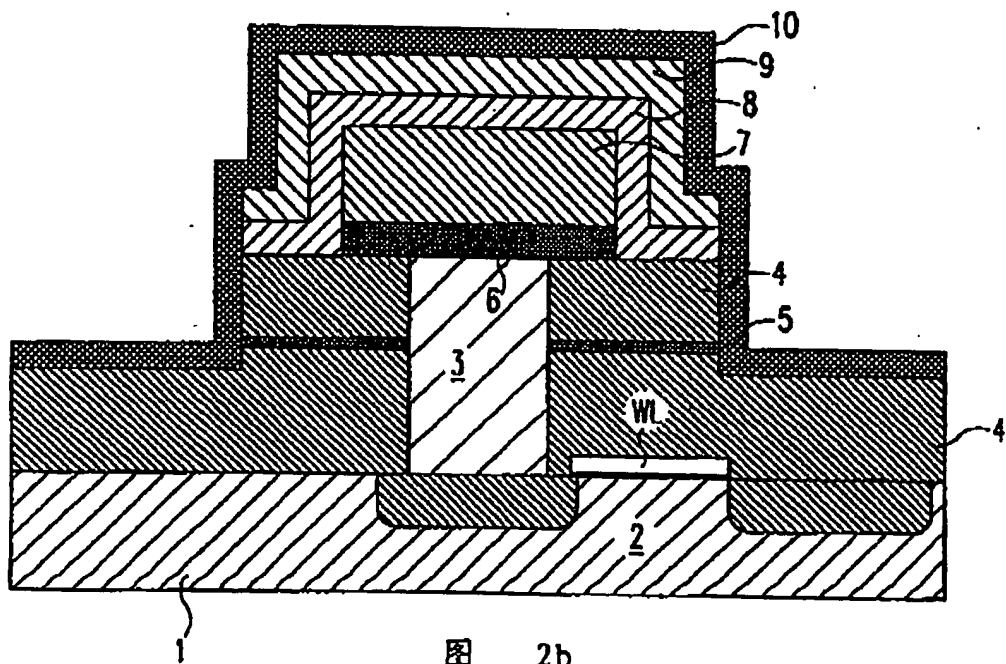


図 2b

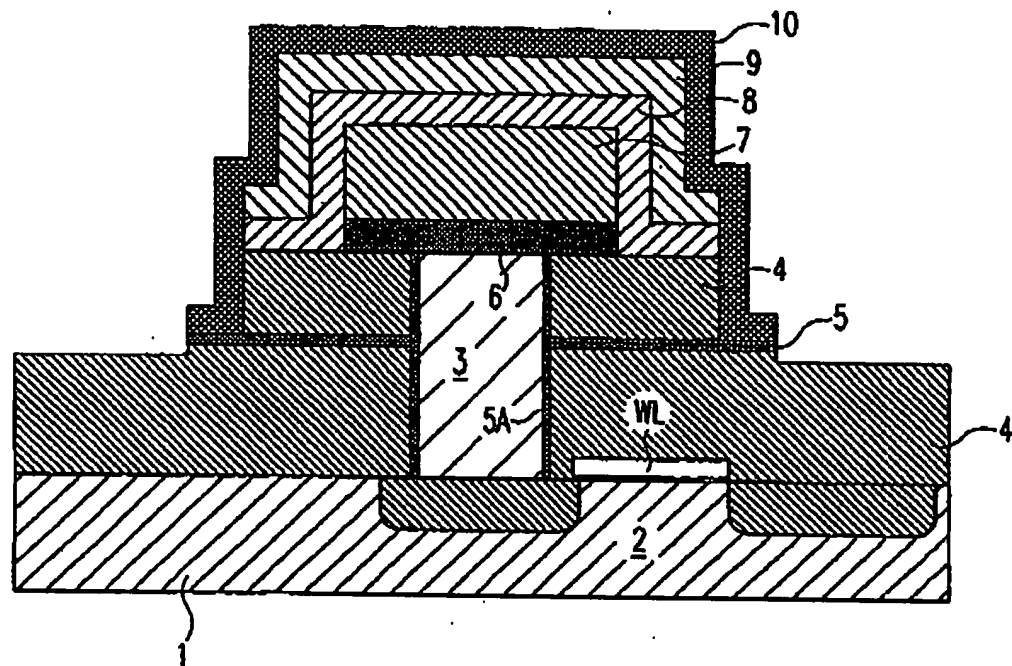


图 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.